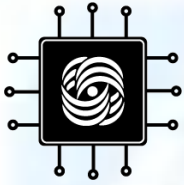


Имитационное моделирование в исследовании и разработке информационных систем

Лекция 8

**Имитационное моделирование
аппаратных средств вычислительных
систем**



Основные виды БИС

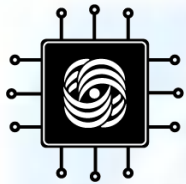
- Для заданной области применения (ASIC)
 - Широкого применения (Application specific standard products, ASSP) (микропроцессоры, модули памяти, контроллеры интерфейсов, видеodeкодеры ...) – крупные производители, большие тиражи, сторонние потребители;
 - Заказные (фильтры, коммутаторы ...) – меньшие тиражи, возможность изготовить «для себя»



Подготовка производства БИС

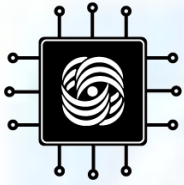
Технология, мкм	Стоимость запуска тестовых кристаллов (шаттлов), тыс. долл.	Стоимость подготовки производства (комплект фотошаблонов), тыс. долл.	Стоимость 1-й пластины при серийном производстве без учета корпусирования, долл.	Ориентировочное кол-во кристаллов с одной пластины при типовом размере кристалла 3х4 мм по технологии 0,18 мкм, шт. (выход годных выше 93%)
0,25	40	100	1200	1100
0,18	60	180	1200	1900
0,13	90	350	1300	3300—5000
0,09	1200	600	1400	6300—9000

(статья от января 2014 г., данные по фабрикам Южной Азии)
<http://www.russianelectronics.ru/developer-r/review/2189/doc/40279>



Основные виды БИС (2)

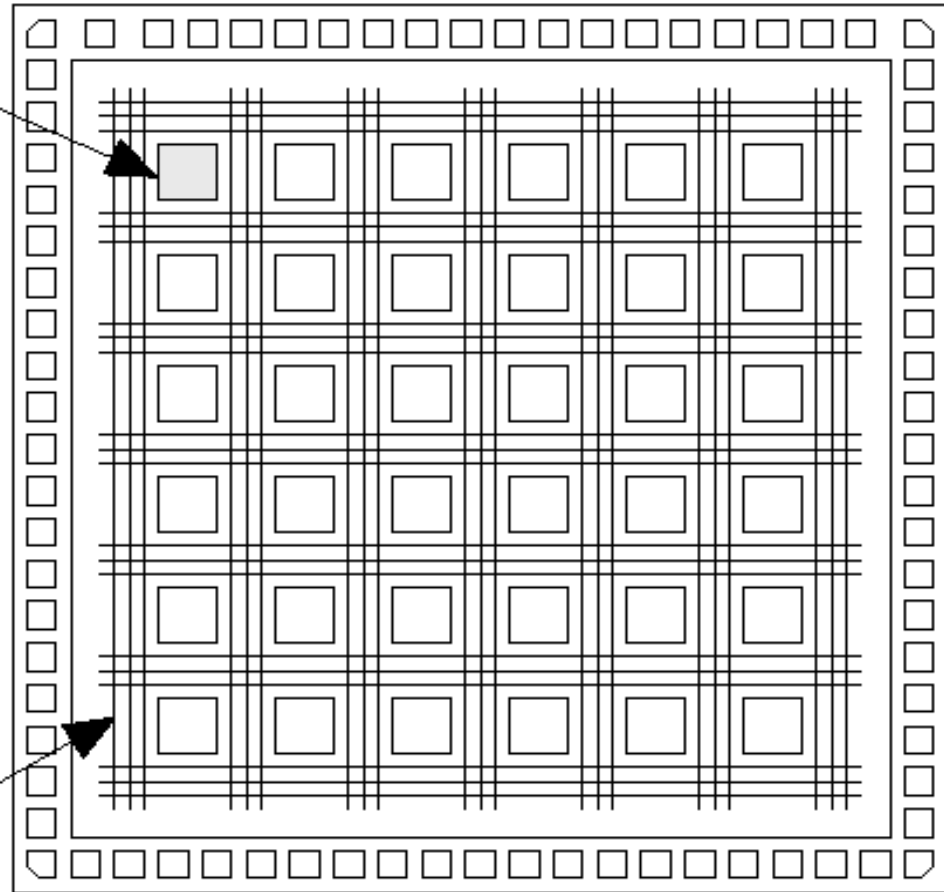
- Вентильные матрицы (полузаказные)
 - часть слоёв металлизации делается по заказу
- Программируемые логические матрицы (FPGA)
 - Набор базовых ячеек
 - Переключатели связей между ячейками
 - Загрузка конфигурации по специальному интерфейсу

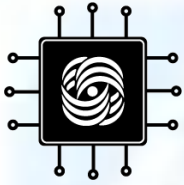


FPGA

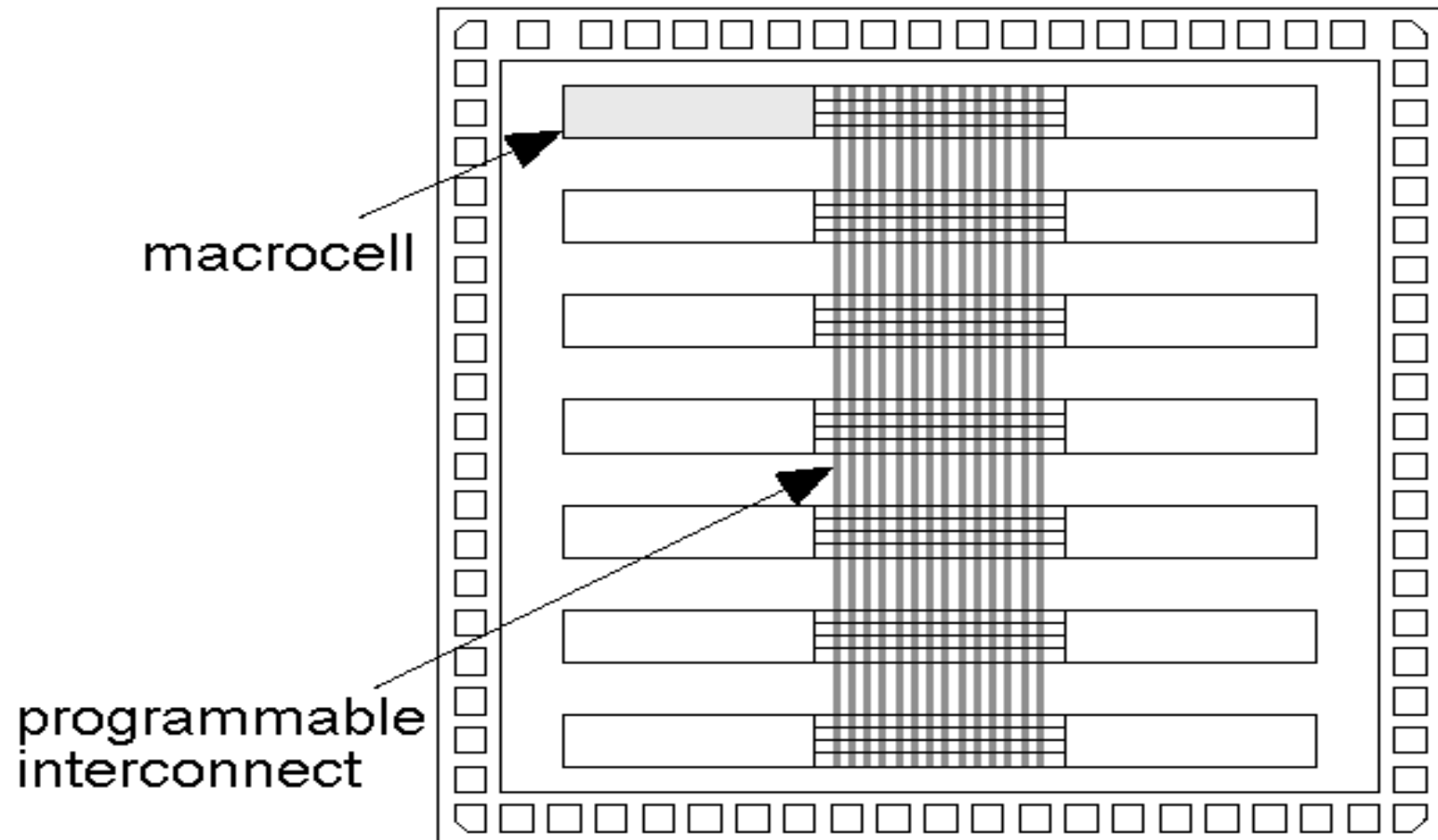
programmable
basic logic cell

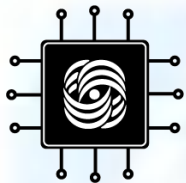
programmable
interconnect





CPLD





Производители и крупные пользователи ПЛИС

<http://parallel.ru/fpga/vendors.html>

Xilinx, Altera, Lattice Semiconductor, Actel, Atmel, Nallatech, Mitrionics, Alpha Data, QuickLogic, Achronix Semiconductor, MathStar, Rapid Prototypes, National Instruments, Sun Microsystems, SGI, Cray, MNB Technologies, CPU Tech, Exegy, Celoxica, XtremeData, Plurality.

НИИ МВС, ФГУП "НИИ КВАНТ", Инлайн Групп, Эфо, ИТМиВТ, Высокотехнологичные системы, НПП "Цифровые решения", DeverSYS

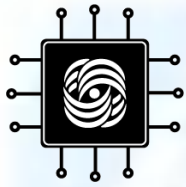


ПЛИС фирмы XILINX

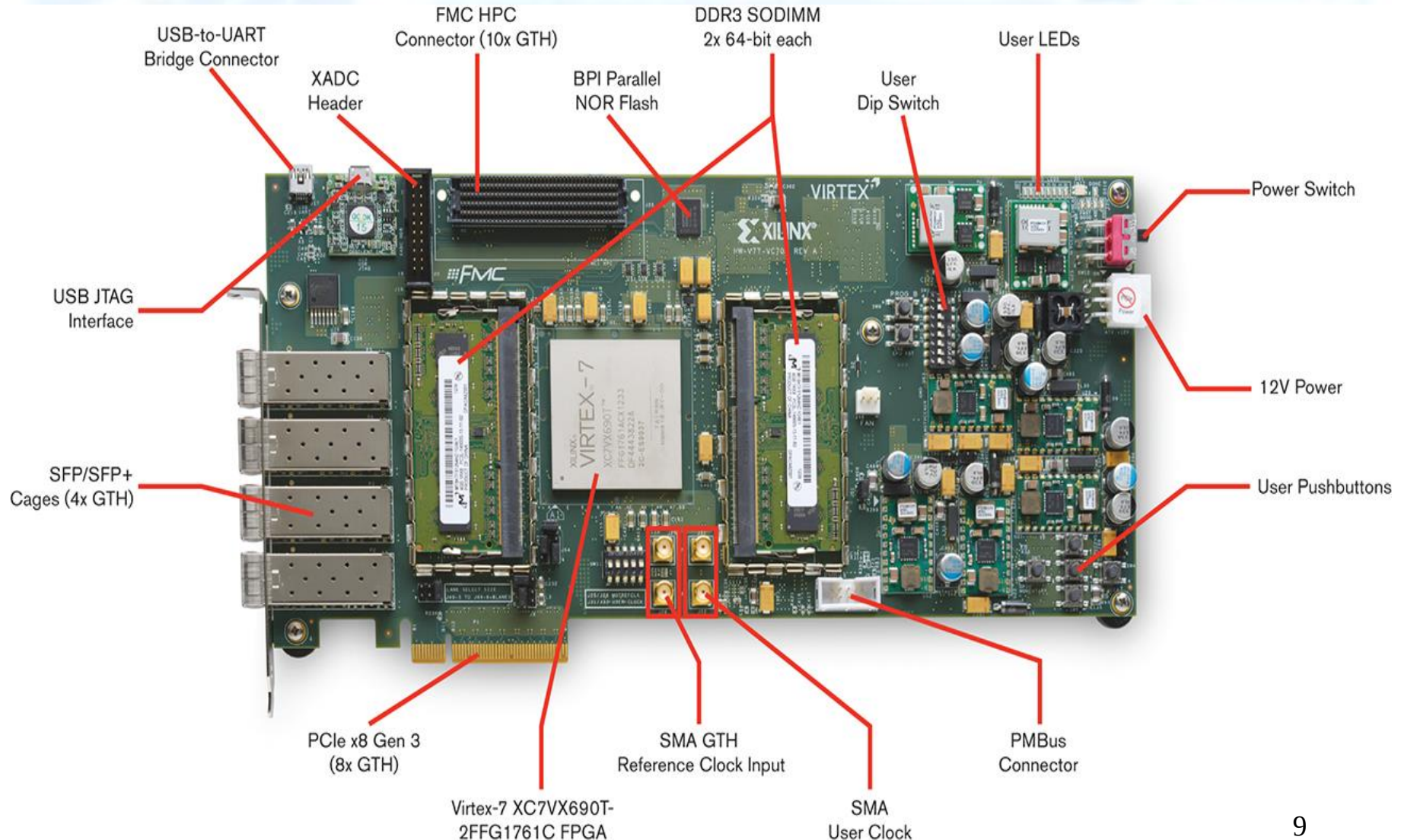
<http://www.xilinx.com/products/silicon-devices/fpga.html>

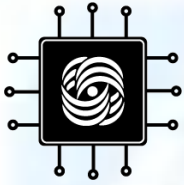
	Spartan-6	Artix-7	Kintex-7	Virtex-7	Virtex UltraScale
Техпроцесс	45 нм	28 нм	28 нм	28 нм	16 нм
Logic cells	147,443	215,360	477, 760	1,954,560	4,432,680
RAM	4.8Mb	13Mb	34Mb	68Mb	132.9Mb
DSP Slices	180	740	1,920	3,600	2,880
Transceivers	8	16	32	96	120
I/O Pins	576	500	500	1,200	1,456
Стоимость (в составе платы)	\$349-\$1995	\$1295		\$4995	

Ячейка (logic cell) – около 15 вентилей ASIC
DSP slice – 18-бит умножитель+сумматор с накоплением



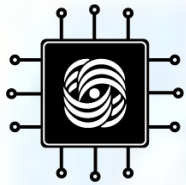
XILINX Virtex Connectivity Kit



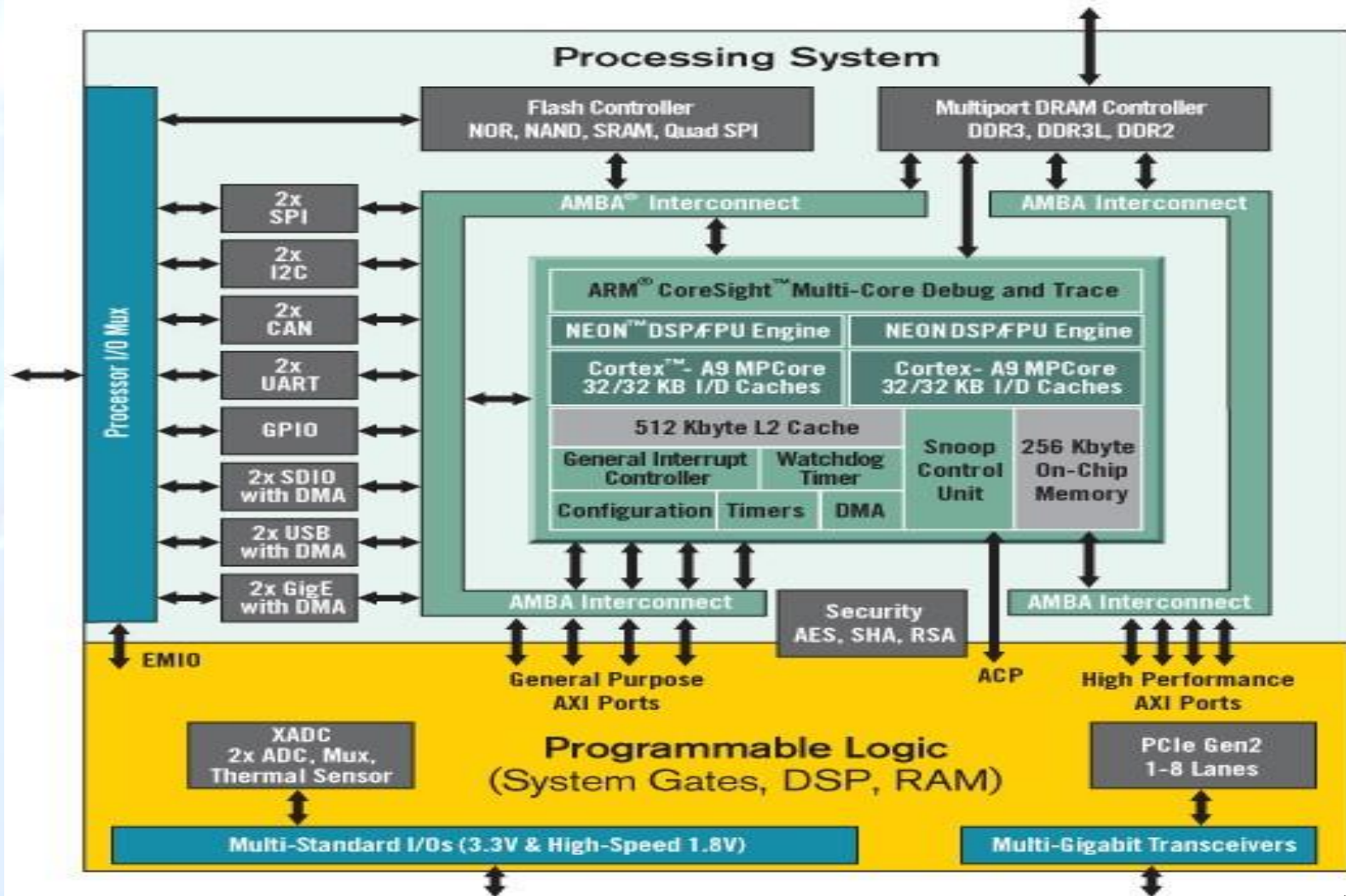


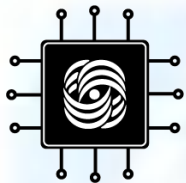
Система-на-кристалле (SoC)

- мат плата = СБИС ЦП + Чипсет
- Микроконтроллер = ЦП+чипсет на одном кристалле
- СнК =
ЦП+чипсет+периферия+специальные устройства на одном кристалле
- Сеть-на-кристалле



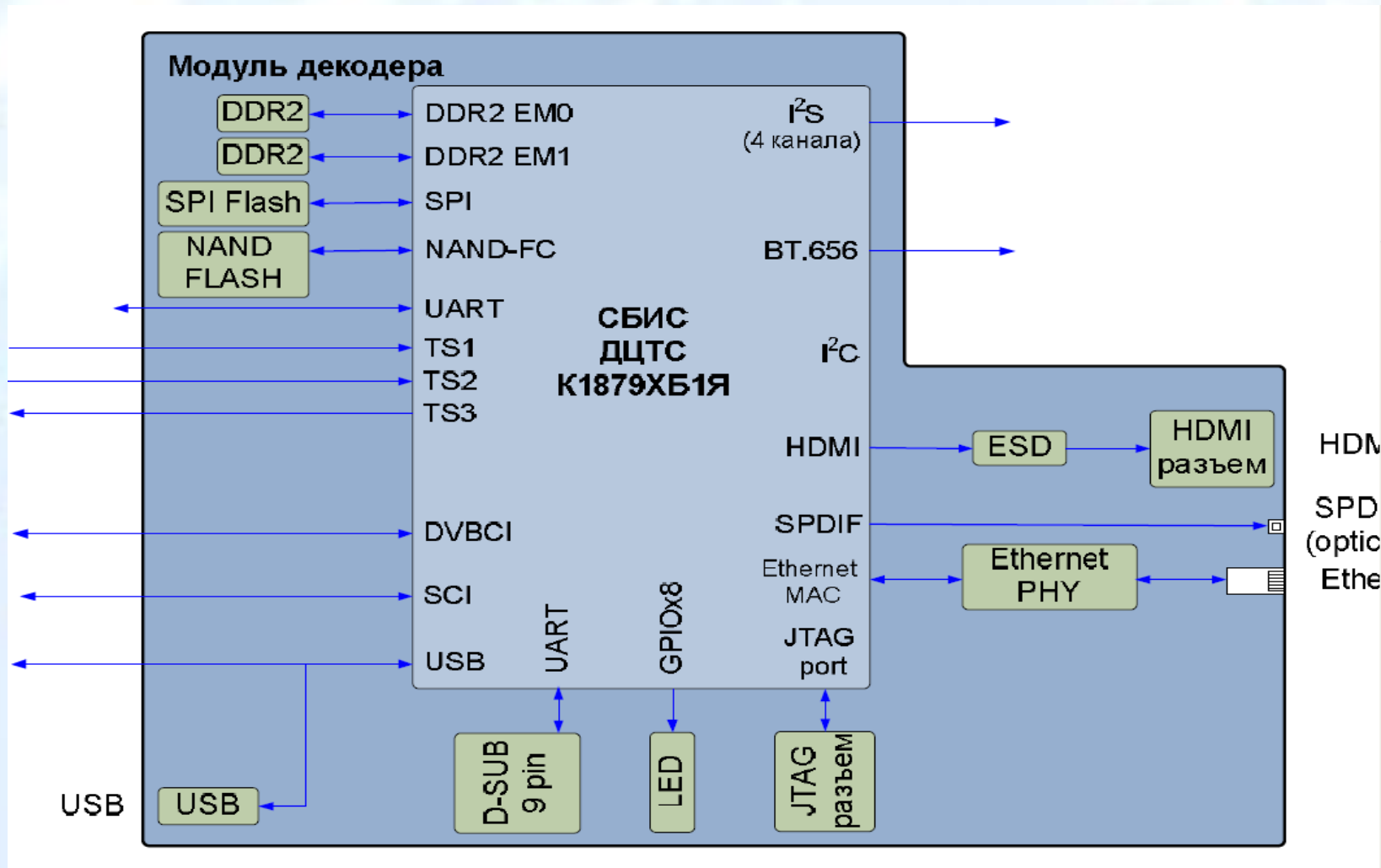
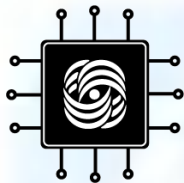
CHK XILINX Zync 7000

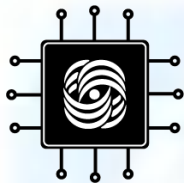




СнК производства НТЦ Модуль)

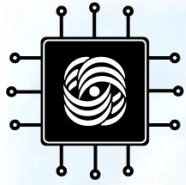
- СБИС К1879ХБ1Я для декодирования телевизионных сигналов спутникового, наземного и кабельного вещания, а также IP-телевидения и одноплатный компьютер МВ 77.07 на её основе
- СБИС 1879ВЯ1Я для создания унифицированной аппаратно-программной платформы цифровых программных приемников





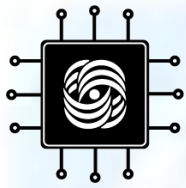
К1879ХБ1Я

- процессор ARM1176JZF-S, частота - 324 МГц
- ЦПС NeuroMatrix® NMC3, частота - 324 МГц
- мультистандартный декодер SD/HD видео MPEG2-/H.264/VC-1
- дескремблирование по стандарту DVB-CSA
- 2D графический ускоритель
- видеоконтроллер с функцией наложения полупрозрачных слоев и масштабированием видео



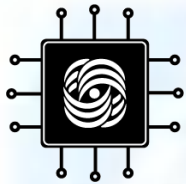
Уровни моделирования аппаратных средств

- Уровень электрических цепей (transistors level)
- Уровень вентилей (gate level)
- Уровень регистровых передач (register transfer level, RTL)
- Системный уровень (system level, processor level)



Уровни проектирования (и моделирования) аппаратных средств

	typical blocks	signal representation	time representation	behavioral description	physical description
transistor	transistor, resistor	voltage	continuous function	differential equation	transistor layout
gate	and, or, xor, flip-flop	logic 0 or 1	propagation delay	Boolean equation	cell layout
RT	adder, mux, register	integer, system state	clock tick	extended FSM	RT level floor plan
processor	processor, memory	abstract data type	event sequence	algorithm in C	IP level floor plan

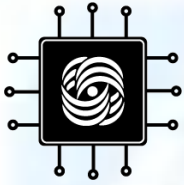


Уровень эл. цепей

- Специализированные средства моделирования:

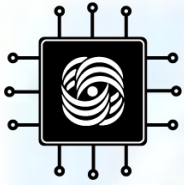
PSPICE (Personal Simulation Program with Integrated Circuits Emphasis) от Cadence Design Systems

Универсальные системы непрерывного моделирования: Matlab Simulink (Mathworks Corp.)



PSPICE

- Задание схемы (текстовый язык или графический редактор)
- Элементы схемы выбираются из библиотеки
- Задаётся режим моделирования: анализ переходных процессы, расчёт установившегося режима, ...
- Выполняется моделирование

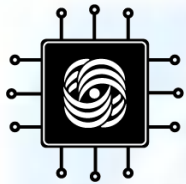


Verilog

Two leading HDLs:

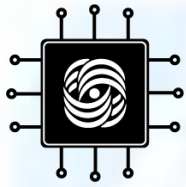
- **Verilog;**
 - developed in 1984 by Gateway Design Automation
 - became an IEEE standard (1364) in 1995
- **VHDL**
 - Developed in 1981 by the Department of Defense
 - Became an IEEE standard (1076) in 1987

© [Verilog]



Учёт специфики предметной области

- Описание **структуры** системы
 - модули; входные и выходные порты; соединения
- Описание **поведения** системы
 - сигналы; время; события; операции; параллелизм



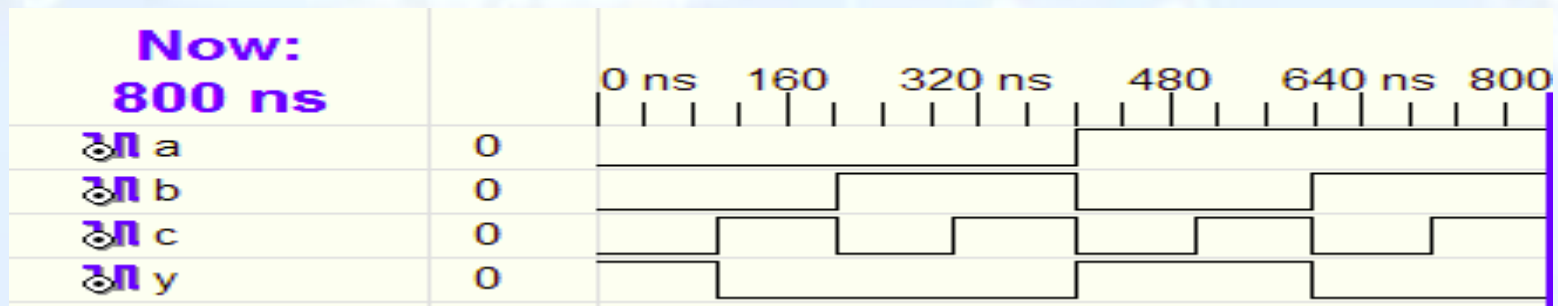
Поведенческое описание

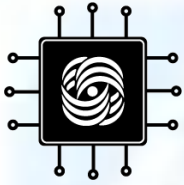
```
module example(input a, b, c,  
output y);
```

```
assign y = ~a & ~b & ~c | a & ~b & ~c |  
          a & ~b & c;
```

```
endmodule
```

// по умолчанию a,b,c,y – 1 бит





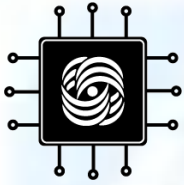
Структурное описание

```
module and3(input a, b, c, output y);  
  assign y = a & b & c;  
endmodule  
  
module inv(input a, output y);  
  assign y = ~a;  
endmodule  
  
module nand3(input a, b, c, output y);  
  wire n1; // internal signal  
  and3 andgate(a, b, c, n1); // instance of  
  and3  
  inv inverter(n1, y); // instance of  
  inverter  
endmodule
```



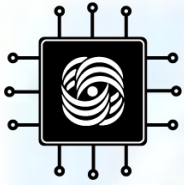

initial и always

```
module NCO (FC, CO, C); // имя модуля и список портов
    input FC, C; // входы
    output CO; // выход
    // описание используемых сигналов
    wire [3:0] FC;
    wire C;
    reg [3:0] acc;
    reg CO;
    // описание поведения системы
    initial
    begin
        acc=0;
        CO=0;
    end
    always @(posedge C) // событие — фронт C
    {CO,acc}={CO, acc}+FO; endmodule
```



Initial и always (2)

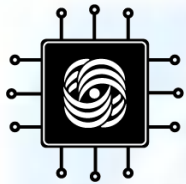
- В одном модуле блоков `initial` и `always` может быть несколько
- Блоки `initial` исполняются параллельно и однократно
- Блоки `always` исполняются параллельно и всё время, пока идёт моделирование



Задержки

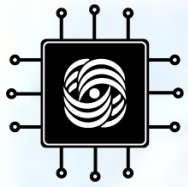
- Значение одного такта и разрешающая способность:
- timescale 1 ns/100 ps
- Выполнение с задержкой

```
initial begin #1 rst = 1; #1 rst = 0; end  
always #10 clock=~clock  
assign #1 {ab, bb, cb} = ~{a, b, c};
```



Список чувствительности

- `@( x )`
- `@(posedge y or negedge x)`
- `@(*)`
- Если не задан: ?



Условные операторы, циклы

if (x == 1) y = i1; else y = i2;

while

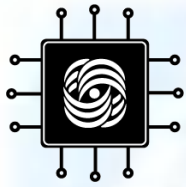
for

repeat

Forever

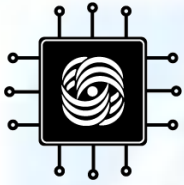
case

casez



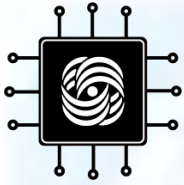
Служебные функции

- Ввод-вывод
- Остановка моделирования
- Си-интерфейс (CLI)



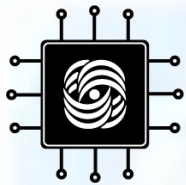
Описание на HDL: виды использования

- Документация на схему
- Исходные данные для средства трассировки соединений элементов (Структурное описание в заданном элементарном базисе);
- Моделирование работы схемы
- Синтез описания на уровне вентилей (При определённых ограничениях на подмножество языка);
- Логическая верификация (доказательство соблюдения свойств)



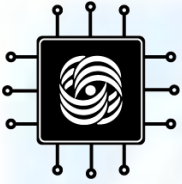
Средства моделирования

- От производителей САПР;
- Свободно распространяемые:
 - <http://iverilog.icarus.com/>

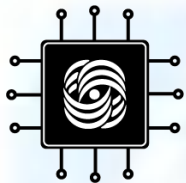


Ссылки

- <http://www.russianelectronics.ru/developer-r/review/2189/doc/40279/>



- [Verilog] David Money Harris and Sarah L. Harris, *Digital Design and Computer Architecture*.



Спасибо за внимание!